

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-297359

(43)公開日 平成7年(1995)11月10日

(51)Int.Cl.⁸

H 0 1 L 25/00
23/52

識別記号

A

庁内整理番号

F I

技術表示箇所

H 0 1 L 23/ 52

C

審査請求 未請求 請求項の数21 O L (全 17 頁)

(21)出願番号

特願平5-194363

(22)出願日

平成5年(1993)8月5日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者

ラリー エル モレスコ

アメリカ合衆国 カリフォルニア94070

サンカルロス ガーネットアベニュー112

(72)発明者

デイビット エイ ホーリン

アメリカ合衆国 カリフォルニア94024

ロスアルトス クレイドライブ1675

(72)発明者

ウェンチョウ ピンセント ワング

アメリカ合衆国 カリフォルニア95014

キューバチノ エドモントドライブ
18457

(74)代理人

弁理士 井桁 貞一

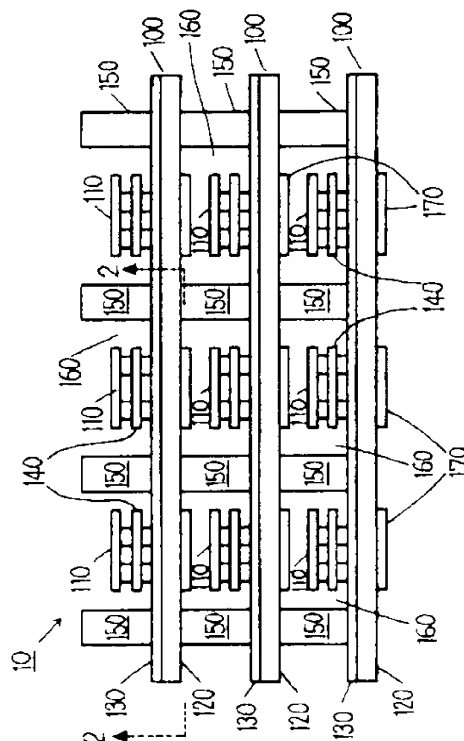
(54)【発明の名称】 マルチチップモジュールとマルチチップモジュール用コネクタ

(57)【要約】

【目的】 マルチチップモジュールに関し、特に3次元マルチチップモジュールの高密度・高性能化を目的とする。

【構成】 ICチップ110は複数の基板100上に列をなしてマウントされる。その列に平行に連結バー150が配備され、連結バー150には隣接する基板100上のチップ110間に信号伝送を行うための信号伝達経路を具備する。また、連結バー150は隣接する基板100間のスペーサともなり、これによって、冷却チャンネル160が形成される。ICチップ110は冷却流体が貫流する冷却チャンネル160中に配置されて、冷却流体がICチップ110に直接に接触する。ICチップ110に電源供給する電源ストラップ170は、雑音を最小とするため、基板100のICチップ列の下の反対面にマウントされる。また、電源フィードストラップに接続されて、ICチップ110への非常に低インピーダンスの電源供給経路が確保される。

本発明の1実施例による3次元マルチチップモジュールの側面図



1

【特許請求の範囲】

【請求項1】 複数のICチップをマウントしたマルチチップモジュールにおいて、

主基板(100)の上には該主基板の一部を利用して周囲が取り囲まれた冷却チャンネル手段(160)が形成され、該冷却チャンネル手段には該冷却チャンネル手段中に冷却流体を貫流させるための入力端と出力端とを具え、該冷却流体が該冷却チャンネル手段を貫流するとき、該冷却流体が直接に接触するように複数のICチップ(110)が該冷却チャンネル手段の内部に列状にマウントされていること、

を特徴とするマルチチップモジュール。

【請求項2】 請求項1に記載のマルチチップモジュールにおいて、

複数のICチップ(110)を各々に搭載した複数の前記主基板(100)がほぼ平行な間隔をもって積み重ねられていること、

を特徴とするマルチチップモジュール。

【請求項3】 請求項2に記載のマルチチップモジュールにおいて、

前記主基板(100)がほぼ平坦であり、前記冷却チャンネル手段(160)が、独立に作成されそれぞれの該主基板の表面にマウントされた複数の平行な垂直方向連結バー(150)を含み構成されていること、

を特徴とするマルチチップモジュール。

【請求項4】 請求項3に記載のマルチチップモジュールにおいて、

前記垂直方向連結バー(150)が、異なる前記主基板(100)上にマウントされたICチップ(110)を配線接続するための手段を具備していること、

を特徴とするマルチチップモジュール。

【請求項5】 請求項1に記載のマルチチップモジュールにおいて、

少なくとも1つの前記主基板(100)が、外部電源から前記ICチップ(110)へ電力を伝達するための電源接続手段と、該ICチップと外部デバイスとの間で入出力信号を伝達するための信号接続手段(700)とを具備していること、

を特徴とするマルチチップモジュール。

【請求項6】 請求項5に記載のマルチチップモジュールにおいて、

前記電源接続手段が、電力を前記ICチップ(110)に供給するための少なくとも1つの電源ストラップ(170)を具備しており、該電源ストラップが前記主基板(100)のICチップと反対の側にマウントされていること、

を特徴とするマルチチップモジュール。

【請求項7】 請求項6に記載のマルチチップモジュールにおいて、

前記少なくとも1つの電源ストラップ(170)が前記主基板(100)の端を越えて延伸している端部を具備してお

2

り、該端部に接続され電力を該少なくとも1つの電源ストラップに伝達するための少なくとも1つの電源フィードストラップ(180)をさらに具備しており、該電源フィードストラップが該電源ストラップと直交する方向に走っていること、

を特徴とするマルチチップモジュール。

【請求項8】 複数のICチップを封入した3次元マルチチップモジュールにおいて、

第1および第2の表面を具備してほぼ長方形であり積み重ねられた複数の主基板(100)と、マルチチップモジュール内のICチップ(110)間での信号伝達を行うための配線接続手段とを具備しており、

それぞれの該主基板の表面に互いに平行にマウントされた複数の連結バー(150)をさらに有し、

実質的に同じ高さである該連結バーが任意の与えられた該主基板にマウントされており、該主基板を積み重ねるとき、隣接する該主基板と隣接する該連結バーの間に複数の冷却チャンネル(160)が形成され、そのとき、該連結バーがそれぞれの該冷却チャンネルの2つの壁を形成するようになされており、かつ、少なくともいくつかの該連結バーが異なる該主基板上のICチップを電氣的に配線接続するための手段を具備しており、

さらに、それぞれの該主基板の第1の表面には複数の該ICチップがマウントされ、該ICチップが該冷却チャンネル内にマウントされており、冷却流体が該冷却チャンネル中を流れるとき該冷却流体が該ICチップに直接に接触するようになされていること、

を特徴とするマルチチップモジュール。

【請求項9】 請求項8に記載のマルチチップモジュールにおいて、それぞれの前記主基板(100)の第2の表面上には実質的に互いに平行にマウントされた複数の電源ストラップ(170)をさらに具備し、それぞれの該電源ストラップが、該ストラップがマウントされている該主基板の端を越えて延伸している端を有すること、

を特徴とするマルチチップモジュール。

【請求項10】 請求項9に記載のマルチチップモジュールにおいて、

それぞれの前記電源ストラップ(170)が、前記冷却チャンネル(160)の下にこれと平行してマウントされていること、

を特徴とするマルチチップモジュール。

【請求項11】 請求項9に記載のマルチチップモジュールにおいて、

前記複数の電源ストラップ(170)の端に接続された電源フィードストラップ(180)をさらに具備し、該電源フィードストラップが前記主基板の外部を該電源ストラップと直交方向に走っていること、

を特徴とするマルチチップモジュール。

【請求項12】 複数のICチップを封入したマルチチップモジュールにおいて、

3

第1および第2の表面を具備してほぼ長方形である少なくとも1つの主基板(100)を具備し、かつ、それぞれの該第1の表面上には少なくとも1列に複数のICチップ(110)がマウントされており、

それぞれの該主基板の第2の表面には、少なくとも1つの独立する電源ストラップ(170)が、該ICチップ列のほぼ下かつ平行に形成されていること、

を特徴とするマルチチップモジュール。

【請求項13】 請求項12記載のマルチチップモジュールにおいて、
複数の主基板(100)と、異なるICチップ(110)間に信号を伝達するための複数の連結バー(150)とを具備し、該連結バーが該ICチップ列の片側に沿って平行に該複数の主基板上にマウントされていること、

を特徴とするマルチチップモジュール。

【請求項14】 請求項13記載のマルチチップモジュールにおいて、
前記複数の主基板(100)が積み重ねられ、隣接する該主基板の間にチャンネル(160)が形成され、該チャンネルの壁が隣接する該主基板と隣接する前記連結バーとによって構成され、前記ICチップ(110)列が1つの該チャンネル内に配置されていること、

を特徴とするマルチチップモジュール。

【請求項15】 請求項12記載のマルチチップモジュールにおいて、
前記電源ストラップ(170)の端が前記主基板(100)の端を越えて延伸し、該電源ストラップ端が、該主基板の外部に配置され該電源ストラップとほぼ直交する方向に走っている電源フィードストラップ(180)に接続されていること、

を特徴とするマルチチップモジュール。

【請求項16】 複数のICチップを封入したマルチチップモジュールにおいて、

第1および第2の表面を有しほぼ長方形の複数の主基板(100)と、該主基板のそれぞれの第1の表面にマウントされた少なくとも1列のICチップ(110)と、該複数の主基板のそれぞれの表面上にマウントされた複数の連結バー(150)とを具備し、

該複数の連結バーが該ICチップ列と平行にマウントされ、少なくとも1つの該連結バーが該ICチップ列のそれぞれの端に隣接して配置され、隣接の該主基板の間に

$$N_b = [2 N_s N_f P_z V_{xy} / (P_x + P_y) V_z]^{2/3}$$

の方程式に従って定められること、

を特徴とするマルチチップモジュール。

【請求項20】 マルチチップモジュールを外部デバイスに電氣的に接続し、かつ、インピーダンスが制御された柔軟なコネクタにおいて、

第1の柔軟な導電層、該第1の柔軟な導電層上に配備され所望の厚さを有する第1の柔軟な絶縁層、複数の絶縁性ストリップによって分離された複数の導電性ストリッ

4

チャンネルが形成されるようになされると共に、該連結バーが、異なる該主基板上に配置された該ICチップを配線接続するための信号経路を具備しており、

1つの該主基板の端に配置された少なくとも1つのエッジコネクタ(700)をさらに具備し、該エッジコネクタが、該ICチップと外部デバイスとを配線接続するための信号経路を具備しており、

それぞれの該主基板のICチップに電力を供給するための複数の電源分配手段がそれぞれの該主基板上にマウントされ、該電源分配手段が、該連結バーおよび該エッジコネクタから分離されていること、

を特徴とするマルチチップモジュール。

【請求項17】 請求項16記載のマルチチップモジュールにおいて、
前記電源分配手段が、それぞれの前記主基板(100)の第2の表面に前記ICチップ(110)列と一般に反対側かつ平行にマウントされた複数の電源ストラップ(170)を有していること、

を特徴とするマルチチップモジュール。

【請求項18】 請求項17記載のマルチチップモジュールにおいて、
前記主基板(100)の外部において前記電源ストラップ(170)の端に接続されている、複数の電源フィードストラップ(180)をさらに有していること、

を特徴とするマルチチップモジュール。

【請求項19】 ほぼ平坦なX-Y平面を定める複数の主基板と、該主基板上にマウントされた複数のほぼ長方形のICチップと、該ICチップを相互接続するための信号伝送手段とを具備し、該信号伝送手段がX、Y、Z軸の一つにほぼ平行に設けられた3次元マルチチップモジュールにおいて、
該モジュール内の機能ユニット当たりのチップ(110)数を N_f とし、X軸およびY軸方向の該ICチップの配設ピッチをそれぞれ P_x および P_y とし、Z軸方向に隣接する主基板(100)間の中心距離を P_z とし、他の機能ユニットとの伝送を必要とする機能ユニットの数を N_s とし、XY方向およびZ軸方向への電磁波の該信号伝送手段を通しての伝搬速度をそれぞれ V_{xy} および V_z とし、それぞれの該主基板にマウントされるICチップの数を N_b としたとき、チップ数 N_b が、

$$N_b = [2 N_s N_f P_z V_{xy} / (P_x + P_y) V_z]^{2/3}$$

から構成され、

実質的に均等に離れて平行である該複数の導電性ストリップは、該第1の柔軟な絶縁層上に配備された複数の信号伝送層と、該複数の信号伝送層上に配備され所望厚さの第2の柔軟な絶縁層と、該第2の柔軟な絶縁層上に配備され実質的に同じ広さをもち信号線としてのインピーダンス値が実質的に均一値に設定された第2の柔軟な導電層を有すること、

5

を特徴とするマルチチップモジュール用コネクタ。

【請求項21】 3次元マルチチップモジュールにおいて、

独立に作成された複数の主基板(100)と、上端および下端を具備し独立に作成された複数の連結バー(150)とを有し、該複数の連結バーが1つの該主基板の少なくとも1端に取り外し可能にマウントされ、かつ、隣接する該主基板の間のスペーサとして働くようになされており、独立に作成されて該複数の主基板に取外し可能にマウントされた少なくとも1つの電源ストラップ(170)をさらに有すること、

を特徴とするマルチチップモジュール。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はマルチチップモジュール、特に、複数のIC(集積回路)チップを3次元アレイとして封入し組み立てる3次元マルチチップモジュールと、マルチチップモジュール用コネクタの構造に関する。

【0002】

【従来の技術】多数の回路素子からなるICチップは、今や現代社会の到る所で使われている。すなわち、あらゆるレベルの演算に用いられる中央処理装置から、いろいろな種類の装置や機器を制御するのに用いられ極めて高度に専用化されたコントローラに至るまで、あらゆる種類の回路素子および回路部品が集積回路として普通に利用されるようになった。

【0003】ICチップが最初に使用されてから今日に至るまでに、1つのチップに集積される素子数は著しい増大を示し、またそれと同時に、チップに形成される個々の電子部品要素のサイズは劇的に減少し、線幅が1ミクロンであるような素子の幾何学的構造は普通のこととなった。そして、1個のICチップが100万を超える素子を有していることもごく普通のこととなっており、素子の集積密度はさらに増大していくものと予想される。

【0004】いろいろな多くの種類のICチップの素子集積度が増大し、また素子の大きさが減少するに従って、チップ間および外部デバイスとの配線接続が急激に複雑なものとなってきた。

【0005】これらの要因に加えてさらに次の要因、すなわち、多くのデジタル素子がより高速度で動作するようになっているという現象と関連する要因によって、ICチップの単位体積当たりに発生する熱が増大し、熱的損傷を避けるためにはアクティブな冷却方法が必要となっている。

【0006】コンピュータ等の多くの装置では、多数の独立したICチップが用いられており、例えば、コンピュータでは、1つ以上の中央処理装置(CPU)チップ、多くのメモリチップ、制御チップ、入出力(I/O)

6

装置チップ等が使われる。

【0007】従来は、各ICチップがそれぞれ別々に個々のパッケージに封入され、これらのパッケージをプリント基板、例えばコンピュータのマザーボードに実装することにより、チップへの電源供給や、基板上のチップ間あるいはいろいろなI/O装置への信号伝達を実現していた。

【0008】しかしながら、多数のICチップを用いる電子装置では、チップをそれぞれ別個にパッケージしたのでは、これらのチップをすべて配線接続するのに必要なプリント基板の面積が非常に大きなものになってしまう。

【0009】さらに、デバイスの速度が増大するにつれて、個々の部品間の距離がますます重要な要因となってきているため、多くの応用において、システムのチップ間の信号経路をいかにして最小化するかが重要な事柄になっている。

【0010】上記の問題を克服するために、多くのデバイス製造業者は“マルチチップモジュール”すなわち独立したICチップを複数封入したパッケージを使用し始めた。

【0011】典型的なマルチチップモジュールは、ICチップを外部のデバイスと接続するための手段を有するだけでなく、モジュールの中のICチップ間を配線接続するための手段をも具えている。

【0012】マルチチップモジュールの開発の歴史を含む一般的な紹介が「マルチチップモジュール：システムの利点と主要な構成技術と材料技術」と題されたR.

W. ジョンソン他の編によるテキスト(IEEE出版、1991年)に記述されており、マルチチップモジュールを用いると、ICチップをケースに封入するのに必要な全体のスペースを非常に低減できると共に、モジュールの中のチップ間距離を低減することができるため、高速デバイスの動作が容易となる。

【0013】最初のマルチチップモジュールは2次元、すなわちパッケージに封入されるICチップがすべて1枚の平板基板上にマウントされたものであった。続いて、3次元マルチチップモジュールが開発され、これによって1つのパッケージ内に封入することができるICチップ密度をさらに増大することが可能となった。

【0014】しかしながら、比較的小さな面積により多くのICチップを実装することによって、チップアレイが発生する単位体積当たりの熱量が全体として増大し、従って、チップをアクティブに冷却するための複雑な技術が必要となった。

【0015】また、多数のICチップを高密度に互いに近接させて配置したことによって、チップへの電源供給およびチップへの信号の入出力が複雑になった。3次元マルチチップに関する多くの問題点については、本発明の発明者の1人による「サブナノ秒で信号を伝送する際

のシステム配線における問題」と題された論文(L. モレスコ、配線およびパッケージングの進展に関する国際学会論文集、第2分冊、マイクロエレクトロニクスの配線とパッケージング：システムとプロセスの集積化、S. K. テュークスベリー他編、光技術国際学会論文集、SPIE、1390巻、1990年)に記述されている。

【0016】3次元アレイに関しては、このように複雑な要因が存在するため、今日のところ一般的には依然として2次元マルチチップアレイが使用されている。マルチチップモジュールにおける電源および信号供給のための主要な基板技術として以下の2つのものが開発された。

【0017】最初のものは、共焼成セラミック基板技術を用いるものであるが、次に開発された薄膜基板技術の方が次第に用いられるようになりつつある。これらの何れの場合においても、電源を供給するのに必要な電源ライン、およびチップ間を接続したり外部デバイスとの接続に必要な信号ラインをすべて備えている多層化基板に、複数のICチップがマウントされる。

【0018】必要な数の配線接続を実現するために、基板の多層化が行われるが、その際の層数は時には数十層にもなることがある。例えば、初期のセラミック基板技術においてさえも、マルチチップ基板として35層もの多くの層を有するものが用いられた。

【0019】しかしながら、このような多層化基板においては、信号ラインを互いに近接して、あるいは電源ラインに対して近接して配置することによる問題が生じる。このような問題を解決するには(あるいは問題を生じる原因として)基板材料の誘電率が重要な役割を担っている。

【0020】基板材料として用いられる典型的なセラミックは大きな誘電率を有している。そのためセラミックを利用する技術はあまり用いられなくなりつつあり、これに代わって、ポリイミドなどの低誘電率材料による薄膜基板がより普通に用いられるようになってきた。

【0021】既知のマルチチップモジュールにおいては、個々のICチップは容器に埋め込まれるか、あるいは封入される。その際、チップと外部との間で熱的に良好な接触が維持され、チップ内部が発熱しないようになっていることが重要である。

【0022】いろいろな種類のアクティブな冷却技術がマルチチップモジュールに対して適用されているが、その中のあるものは非常に手の込んだものであり、しばしば、基板中あるいは全体構造の他の部分に冷却経路を形成し、ここに冷却流体を強制的に流すようになる。

【0023】しかしながら、既知のデバイスにおけるチップの冷却は、どの場合においても、チップが発生した熱を、チップから離れアクティブに冷却されている1つ以上の表面まで固体中の熱伝導によって移送することに

なる。

【0024】この方法は、たとえ大きな熱伝導度を有する固体をチップと冷却表面との間に用いた場合でさえも、効率が非常に良いとはいえない。その結果、パワーが大きく、高密度な3次元チップモジュールにおいては、依然として熱の除去が深刻な問題となっている。

【0025】ICチップをマルチチップアレイにパッケージ化する従来の方法における他の問題は、チップへ如何にして電源を供給するかに関するものである。上述したように、この問題の1つの側面は、チップに信号を伝達するために用いるのと同じの基板を介して電源ラインを供給することによって生じている。

【0026】同様に重要なこととして、従来のマルチチップモジュールに用いられる基板の厚さが薄いため、ICチップへの電源供給ラインのインピーダンスが比較的大きくなってしまいうという事実がある。このようにインピーダンスが大きくなることによって、雑音や電力損失および過剰な熱エネルギーの発生など望ましくない現象が起こる。

【0027】また、製造歩留まりは複雑なマルチチップモジュールを設計、作成するにあたっての非常に重要な問題であり、多くの設計では、モジュールの中のどれか1つの素子が不良であると、モジュール全体が役立たなくなってしまう。

【0028】

【発明が解決しようとする課題】前記従来技術に鑑みてなされた本発明の目的は、個々のICチップをより良く冷却することが可能な、マルチチップモジュールのための新規な構造を供給することである。

【0029】本発明の他の目的は、マルチチップモジュールにおける集積回路への信号ラインおよび電源ラインの供給を改良することである。本発明のさらに他の目的は、マルチチップモジュールのチップへ電源を供給するための低インピーダンス手段を供給することである。

【0030】本発明のさらに他の目的は、モジュールを最終的に組み立てる前に、個々の構成要素ごとにあらかじめテストを行うことができ、また少なくとも上記の構成要素を交換することが可能なように、高度にモジュール化された3次元マルチチップモジュールを供給することである。

【0031】

【課題を解決するための手段】本発明の1つの実施例においては、複数のICチップ110が主基板100の一部を用いて形成された冷却チャネル160内にマウントされ、個々のICチップ110が直接に冷却チャネル160中を流れる冷却流体と接触するように冷却チャネル160中に配置させる。

【0032】本発明の他の実施例においては、異なる主基板100にマウントされたICチップ110間を互いに配線接続するのに用いる連結バー150が、各基板1

10

20

30

40

50

00上にマウントされ、複数の該基板100を積み重ねて3次元アレイを形成する際に、この連結バー150が冷却チャンネル160の壁を形成するようになされる。また、好ましくは、主基板100とチップ110との間に配備された中間基板140にICチップ110が“フリップチップ”ボンドされる。これらの中間基板140に、いろいろなキャパシターや抵抗を具備させて、チップ110のごく近傍にこれらを配置するようにできる。

【0033】本発明の他の態様においては、ICチップ110は好適には列をなしてマウントされ、上記の基板100とは別個に作成された低インピーダンス電源ストラップ170が、チップ110の各列の下の部分の基板100の反対側にマウントされる。これらの電源ストラップ170は基板100の端を越えて延伸させ、電源フィードストラップ180と接続させる。

【0034】この独特の電源ストラップ構造を用いることによって、低インピーダンスで、低雑音な電源供給を、マルチチップモジュール全体の機械的な歪みを緩和させることができるような構造で実現することが可能である。

【0035】そして、信号ラインは、電源が供給される側の基板の端と直交する基板の端に配備されたエッジコネクタ700を用いて3次元モジュールに接続される。このようにすることによって、チップ110への電源供給と信号結線とが互いに可能な限り分離される。

【0036】好適な実施例においては、マルチチップモジュールの主要な構成要素、すなわち、チップ110、主基板100、中間基板140、連結バー150、電源ストラップ170、電源フィードストラップ180、およびエッジコネクタ700は、それぞれ別個に作成されて、最終的に組み立てる前に、あらかじめこれらのテストが行われる。

【0037】同様に、構成要素を結合して副構成要素を形成し、すなわち、チップ110を中間基板140にマウントして、これらをさらに組み立てる前に、再度テストが行われる。多くの構成要素は不良が生じた場合には交換可能なように設計されている。

【0038】また、本発明には、3次元モジュールの各層にマウントするICチップ110の数を最適化する方法と、この方法によって作成されたマルチチップモジュールも含まれるものである。

【0039】

【作用】以上説明したように本発明の第1の目的は、ICチップを冷却チャンネル内にマウントし、そのICチップは冷却チャンネル中を流れる冷却流体により直接的に冷却させることによって、きわめて効果的に達成されるようになり、高密度・高性能な3次元マルチチップモジュールを可能にする。

【0040】従来の既知のマルチチップモジュール技術においては、熱が冷却流体によって運び去られる前に、

まず最初に熱が固体中を流れなければならないような構造に個々のICチップが容器に封入あるいは封止されており、このような技術は効率が悪く、そのためマルチチップモジュールが安全に取り扱えるパワーが制約されていた。

【0041】しかるに、本発明によりICチップが直接に冷却流体で冷却されるマルチチップモジュールは、1平方センチメートル当たり100アンペア以上の電流密度と1平方センチ当たり125ワットの発生パワーを取り扱えるようになる。(パワー密度は一般には面積に関して表されるが、3次元構造においては、意味のあるパワー密度は体積に関連した表示である。本発明は、1立方センチ当たり135ワット以上のパワー密度を取り扱えることを企図したものである。)本発明の第2の目的と第3の目的、すなわち、マルチチップモジュールにおけるICチップの信号ラインおよび電源ラインの改良と、チップへ電源を供給する経路の低インピーダンス化は、冷却チャンネル160の壁を形成し基板100間のスペースとしても働く連結バー150に、基板100上のチップ110が他の基板100上のチップ110と信号伝送を行うことを可能とする信号伝達経路を設け、ICチップ110をマウントした基板100の他の側(上面にチップ110をマウントしたときの下面)かつチップ列の下に電源ストラップ170をマウントすることであり、そのことによってチップ110の高集積化に伴う複雑なチップ間配線を簡素化し、一層の高集積化が可能になると共に、ストラップ170からチップ110への電源供給経路を最小化することによって、雑音や電力消費を低減可能にする。

【0042】モジュールの構成要素ごとにテストおよび交換することが可能にする本発明の第4の目的は、マルチチップモジュールの主要な構成要素、すなわち、チップ110、主基板100、中間基板140、連結バー150、電源ストラップ170、電源フィードストラップ180、およびエッジコネクタ700は、それぞれ別個に作成させることにより達成され、最終的に組み立て前のテストで発見された不良構成要素を排除することで、組立て後の要素交換がなくなり生産性が向上すると共に、各要素の個別性能が把握されるため完成品の性能も向上可能にする。

【0043】

【実施例】本発明には、多数のICチップを高密度アレイにパッケージングするのに用いるため、高度にモジュール化された3次元マルチチップモジュールが含まれている。

【0044】現代のデジタルIC技術の傾向として、信号速度がますます高速になっていく傾向、すなわち、非常に高周波数で動作するようになっていく傾向があり、今や、多くのデバイスがマイクロ波の領域で動作しており、構成要素間の物理的な距離が構成要素の特性に

重大な影響を与え得る状況となっている。

【0045】そのため、多数のチップを互いに近接して封入するための新しいICチップパッケージ技術が開発された。そして、3次元チップアレイを用いることが、チップ密度を最も高密度にする方法である。

【0046】3次元マルチチップモジュールでは、複数の個々のICチップを通常は平面基板上にまず平面アレイ状にマウントし、ついで、これらの平面基板を積層するが、便宜上、X方向およびY方向に平面軸を定義し、平面基板の積層方向に対応するZ軸を、X軸とY軸を含む平面と直交する方向に定める。

【0047】チップからチップへの信号速度が制約要因となっている場合において、3次元アレイ状にチップを

$$N_b = [2 N_s N_f P_z V_{XY} / (P_x + P_y) V_z]^{2/3}$$

ただし、 V_{XY} および V_z はそれぞれ電磁波のXY方向およびZ方向への伝搬速度であり、これらの値はそれぞれの方向の電氣的接続にどのような材料を用いるかに依存する。

【0050】この計算は、モジュール当たりのチップ数が与えられたとき、任意の2つのチップ間の距離（即ち信号経路長さ）を最小化すると仮定の下に行われる。一般的に、チップ間距離を最小化するためには、各平面基板は一般に正方形である必要があり、 $V_{XY} = V_z$ であるときにはモジュール全体としては立方体となっていないなければならないことが明らかであろう。

【0051】もし、 $P_x = P_y$ であるときには、基板のXおよびY軸に沿って配置されるチップ数は、最適には同じでなければならないが、マウントするチップ数が少数の場合でさえ、上記方程式は驚くべき結果を与える。

【0052】例えば、チップの数がたった4であるような場合を考えると、典型的な環境条件においては、基板当たりの最適チップ数はただの1である。すなわち、チップを単に積み重ねるのが最適であるという結論が得られる。しかし、上記の方程式は、チップ数が大きい場合、例えば10以上であるような場合において非常に重要である。

【0053】複数のチップを3次元アレイに詰め込むことによって、熱の除去の問題が一層重要なものとなる。また、密度をより高密度にすると、チップへの信号ラインの供給および電源の供給が複雑な課題となってくる。

【0054】これらの問題について以下に、図面を用いて説明する。図1は本発明の1実施例による3次元マルチチップモジュールの側面図、図2は本発明のマルチチップモジュールの1つの主基板についての部分断面斜視図、図3は本発明によるマルチチップモジュールの平面図、図4は本発明によるマルチチップモジュールの下面図、図5は本発明に用いるための電源供給ストラップおよび電源フィードストラップの1実施例について示した部分斜視図、図6は本発明に用いるための電源供給ストラップおよび電源フィードストラップの他の実施例につ

配列する際の最適な配列を決定するにあたっては、モジュールの機能ユニット当たりのチップ数(N_f)、XおよびY方向のチップ間ピッチ(P_x 、 P_y)、Z方向の基板間のピッチ(P_z)、および他の機能ユニットと連結させることが必要な機能ユニット数(N_s)について考慮する必要がある。

【0048】ここで機能ユニットは、1つ以上のチップを集合させて、例えばCPU、コントローラなどのユニットとして働くようにしたものとして定義され、すべての信号配線経路がシステムの軸に沿った方向となるように行うものと仮定すると、基板当たりのチップ最適数(N_b)は次の方程式により算出することができる。

【0049】

$$(P_x + P_y) V_z]^{2/3}$$

いて示した部分等角図、図7は本発明によるマルチチップモジュールの接続に用いられるエッジコネクタの斜視図、図8は図7のエッジコネクタの1実施例において製造の途中の段階をさらに詳細に示した拡大側面図、図9は図7のエッジコネクタの1実施例において図8のエッジコネクタの完成した状態についての1実施例を示した側面図、図10は図7のエッジコネクタの1実施例において図8のエッジコネクタの完成した状態についての他の実施例を示した側面図、図11は図7のエッジコネクタの矢印線9-9における断面図、図12は図6に示したタイプの複数の柔軟なウェーブについて製造途中段階を示した斜視図である。

【0055】本発明の好適な実施例について示す図1において、マルチチップモジュール10は、実質的に同様な複数の基板（主基板）100などからなっており、これらの基板100には、複数のICチップ110がマウントされている。

【0056】図1では3枚の基板100を積み重ねものであるが、その好適な積層数は、上記の最適数 N_b の方程式を考慮すると、個々の特定の設計ごとにその必要性に応じて変わり、各基板100のICチップ110は、好ましくは列をなしてマウントされる。

【0057】各基板100は、アクティブな配線基板130がその上に形成されている、あるいは、図示するように堅固な支持基板120にアクティブな配線基板130がマウントされている。

【0058】支持基板120は、主に、基板100に対して構造的な堅固さを与えるために用いられるものであり、セラミック、窒化アルミニウム、銅・タングステン粉末焼結材料、あるいは、銅などの任意の適当な材料を用いて作成することができる。

【0059】ただし、そりが発生したり、基板120と配線基板130との間ではがれが生じたりするのを防ぐために、基板120の熱膨張係数が配線基板130の熱膨張係数とあまり異なったものであってはならない。

【0060】好適な本実施例において、配線基板130

はマルチチップモジュールの中のいろいろなチップを接続するための信号線路を有する複数の銅／ポリイミド（Cu／PI）層からなっている。

【0061】銅／ポリイミドの配線基板130は、マルチチップモジュールに普通に用いられており、これらの設計・製造方法は当業者にはよく知られていることがらである。

【0062】しかしながら、以下に述べるように、本発明の銅／ポリイミド基板130には従来とは異なる新しい側面がある。本発明による好適な実施例の配線基板130は、9層以上の金属層を有することができる。そのような層の数は、必要なすべての配線を行う際の位相幾何学的な困難さによって定まる。

【0063】しかし、以下に説明するように配線基板上には電源ラインの配線が施されない、さらにまた、中間基板を用いて高周波キャパシタおよび終端抵抗を供給することができるので、アクティブ配線基板130における銅／ポリイミド層の構成層数は、多くの従来技術の場合と比較して少なくて済む。

【0064】なお、好適な実施例において配線基板130は、銅／ポリイミドによって構成されるものとして説明したが、当業者には、他の方法あるいは材料を用いて本発明の範囲に属するアクティブ配線基板を作成することが可能であることは明らかであろう。

【0065】支持基板120と配線基板130とから構成される基板100をここでは一般に主基板と呼ぶことにし、本発明の好適な実施例においてICチップ110は、主基板100に直接にマウントするのではなく、挿入基板あるいは挿入板と呼ぶこともできる中間基板140上にマウントする。

【0066】中間基板140は、好適には、いろいろな信号ライン終端抵抗と高周波バイパスキャパシタとを具備しており、これによって、ICチップに供給される信号に対する終端が正しく行われるようになり、また電源をクリーンな状態で、すなわち、雑音なしに供給することができるようになっている。

【0067】高周波での動作においては、寄生効果を最小にするため、これらの構成部品がICチップのごく近傍に配置されていることが重要である。また、これらの構成部品を主基板100にではなく中間基板140上に配備することによって、主基板100の構成を簡略にできるという利点が得られ、これによって主基板100の作成は簡易に行うことができるようになり、またさらに、システム全体に対するモジュール化が可能となる。

【0068】中間基板140は標準的な銅／ポリイミド技術、あるいは適当な配線密度を実現でき、かつ必要な終端抵抗とバイパスキャパシタとを構成することが可能な他の既知の技術を用いて作成することができる。

【0069】好適には、ICチップ110は中間基板140にフリップチップボンディングされる。即ち、チッ

プ110はアクティブな表面が中間基板140に接するようにしてマウントされ、こうようにすることによって配線密度を増加させることができる。

【0070】フリップチップボンディングは非常によく知られている技術であるから、ここでさらに詳細に説明する必要はないであろう。なお、フリップチップボンディングが本発明にとって必須というわけではなく、本発明の精神と範囲から逸脱することなしに他のボンディング方法を用いることが可能であることは、当業者にとって明らかであろう。

【0071】同様に、本発明を最も広い観点からみたときには、中間基板140を使用することは、本発明にとって本質的なことがらではない。以上説明したように本発明では、モジュール10にマウントされる各チップ110ごとに1つの中間基板140を用いるように説明したが、これに限られることなく他の実施例として、複数のチップ110を1つの中間基板140にマウントすることもできる。

【0072】同様に、中間基板140と同数のチップ110がある場合に、これらの大きさを互いに同じとすることが望ましいが、そのようにすることが必須であるというわけではない。

【0073】“Z軸コネクタ”とも呼ばれる複数の連結バー150が、主基板100上のICチップ110の各列のそれぞれの側に1つずつ配備されており、図2にさらに明瞭に示されているように、連結バー150によってマルチチップモジュール10の異なる主基板100のチップ110を結線するための信号経路が構成され、さらに、連結バー150は上下方向に隣接する主基板100の間のスペーサの役割も果たす。

【0074】連結バー150は、その上面および下面に複数の接合点210を有しており（上面接合点210は図2に示されており、下面接合点は図4に示されている）、単に、分かり易くするためだけの理由で図2には接合点を数個しか示していないが、本発明の応用によっては、数千個の接合点を各連結バー150に設けることが可能である。

【0075】好適な実施例においては、連結バー150はそれぞれ別個に作成され、その接合点210は単純な直通コネクタあるいは直通過路となるように構成し、この接合点210に対応する接合点310が主基板100の両側に図3に示されているように配備される。

【0076】各連結バー150は、まず最初にその一方の側の接合点210を主基板100の接合点310と位置合わせをしたのち、主基板100の一方の側に恒久的に半田付け（あるいは接合）される。

【0077】図2においては、わかりやすくするために、連結バー150は、まず最初に主基板100の上面（すなわち、アクティブ配線基板130を有する側の表面）にマウントされるものとしているが、図4に示した

10

20

30

40

50

ように、連結バー150を主基板100の下面に先に恒久的にマウントしてもよい。

【0078】主基板100が堅固な支持基板120と配線基板130にて構成されたとき連結バー150は、まず最初に基板120にマウントすることが望ましいが、どのような方法によって、連結バー150を最初に（恒久的に）マウントするにしろ、次にこれらの連結バー150は、隣接する主基板100の他方の側の対応する接続点に対して、まず位置合わせを行った上で、取り外し可能に取り付ける。取り外し可能に取り付けるためのよく知られた方法の1つは、半田付けによる方法である。取り外し可能なように連結バー150を取り付けることによって、各基板100の間の連結バー150および各種構成要素の修理や交換が可能となる。

【0079】このような方法に代わる実施例として、連結バー150の両側を主基板100に取り付けるのではなく、図示しないエラストマーコネクタを、取り外し可能なように取り付けを行おうとしている場所に対して、連結バー150と主基板100との間に介在させるようにしてもよい。なお、エラストマーコネクタとしては、いろいろなものが市販されており、それらが利用可能である。

【0080】連結バー150は既知のいろいろな方法および材料で作ることができる。例えば、共焼成セラミックを用いることができる。即ち、本発明を実施するのに適した連結バー150を、典型的な共焼成セラミック技術である以下のステップを用いて形成することが可能であり、その方法はまず最初に、適当なセラミック材料によって大きな平板状のグリーンシートを形成する。このグリーンシートの厚さは、一般には、可能な限り厚いほうがよいが、シートに穴を形成するのに用いる技術によって制約される。

【0081】例えば、厚さが約200 μm のセラミックシートに、レーザあるいは機械的な穴開け方法、あるいは単純な機械的な打ち抜きなどの多くの既知の手段のなかの任意のものをを用いて、所望の直径（例えば150 μm ）の穴をシートに形成する。その穴の大きさと間隔は、所望接合数および連結バー150の所望幅によって定まる。

【0082】このようにして、穴と穴との間のピッチが、例えば約380 μm に定められると、次に、これらの穴を例えばガラスとタングステン粉末あるいはその他の耐熱性金属粉末によるペーストなどの導電性材料によって満たす。

【0083】しかるのち、セラミックシートを単片に切断するが、その際、その大きさは以下に説明する焼成工程を行った後、各単片の大きさが、所望の幅と奥行きとを有する連結バー150が得られるような大きさとなるように定められる。

【0084】次に、これらの単片を所望の高さに積層す

る。単片を積層する際に、導電経路が連結バー150の上部から底部まで連続して形成されるように、充填された穴が正しく位置合わせされていることが必要であり、現在利用可能な技術を用いて、数十層をこのように積層させることが可能である。

【0085】次に、この集成体全体を高温度で焼成して、連結バー150を形成する。その後、半田バンブあるいはその他のコネクタを導電経路の両方の端に取り付けるようにしてもよい。

10 【0086】以上に、本発明の連結バー150を形成する1つの方法を示したが、これに限らず、必要な数の接続を確実に形成できるものであれば任意の構造を用いることができる。そして、連結バー150の熱膨張係数は基板100の熱膨張係数と近いものとなっていることが望ましい。

20 【0087】複数（図は3枚）の基板100を積層したとき、図1に示されているように、断面形状が一般に長方形である複数のチャンネル160が、隣接した主基板100の間に形成される。このチャンネル160の壁は連結バー150と主基板100から構成されている。

【0088】そこで、信号供給経路を形成する必要がない不活性な蓋基板（図示せず）を、最上層の主基板100の連結バー150の上に配置して、そこにもチャンネル160を形成し、各チャンネル160には、非腐食性で非導電性の冷却流体（例えばフッリナート；商標名、3M社）を、図示しない通常的手段によってチャンネル160中に強制的に流す。

30 【0089】ただし、最上層の主基板100の連結バー150に信号供給経路が不必要であれば、その連結バー150を不活性にすることもできる。本発明の重要な特徴は、ICチップ110がチャンネル160中に配置され、冷却流体がこれらのICチップ110の各々と直接に接触するようになされているという点であり、そのことによって、1平方センチメートル当たり100アンペア以上の電流密度と1平方センチ当たり125ワットの発生パワーを取り扱い可能にする。

40 【0090】以上説明したように本発明の冷却チャンネルは、基板100を積層して本発明による3次元モジュールを形成する工程中に形成される。言い換えれば、特別な構造も特別な工程も必要なしにチャンネルを形成することができる。

【0091】また、本発明のマルチチップモジュール10は、各主基板100にマウントされたICチップ110に電源を供給するための新規な手段も有しており、その電源ストラップ170は各チップ列の下の主基板100の反対側の面の、チップ列の直下にマウントされる。

50 【0092】好適な電源ストラップ170は、さらに以下に詳細に説明するように、比較的厚い銅片で構成される。即ち、図2に示されているように電源は、電源ストラップ170から主基板100および中間基板140を

直通してICチップ110に直接に接続し、そのことによって、電源ストラップ170からICチップ110への供給経路が最小化される。

【0093】このように構成することによって、電源をチップ110に供給するための全体構造を非常に低インピーダンスに構成することができる。かかる低インピーダンス電源供給構造は、電流密度が上記のような高密度である場合に非常に有用であり、本発明の1実施例におけるチップ110までの電源供給経路を見積もってみると、主基板100の最も遠い角から中央位置のチップ110の表面までの電源供給経路の抵抗、すなわち、この構造中の最も長い電源供給経路の抵抗は100ミリオームである。

【0094】電源ストラップ170は、図3および図4に示されているように、電源フィードストラップ180に接続されている。電源フィードストラップ180は、主基板100の端に平行し、電源ストラップ170と直交する方向に走っている。

【0095】電源フィードストラップ180は電源ストラップ170と同様に、以下にさらに詳細に説明するように作成することが可能であり、電源ストラップ170および電源フィードストラップ180は複数の動作電圧をチップ110に供給することができるように多数の供給経路を有している。

【0096】また、本発明のマルチチップモジュールのICチップ110に電源を供給するための手段においては、一般に電源供給ラインをチップ110からのあるいはチップ110への信号ラインから十分に分離しているという点にも注意すべきである。

【0097】電源供給ラインと信号ラインとが互いに接近するのは、電源供給ストラップとICチップ110との間の領域だけである。先に述べたように、ストラップ170とチップ110との間の経路は、上記のような近接領域が最小となるように、比較的短くまた直線上に形成されている。

【0098】これと対比して、従来技術によるマルチチップモジュールでは、一般に、同一のアクティブ配線基板が、信号ラインと電源ラインとの両方の供給に用いられている。このようになされている場合には、電源ラインの雑音は信号ラインと結合する場合があって問題であり、さらには、アクティブ配線基板中に電源供給ラインを形成すると、比較的厚いラインを用いることができないためにインピーダンスが増大してしまい、雑音と発熱の問題をさらに悪化させてしまう。

【0099】本発明の1実施例による電源ストラップ170および電源フィードストラップ180を示す図5において、各電源ストラップ170は、複数の絶縁スペーサ520によって互いに分離された複数の銅のバー510からなっている。同様に、各電源フィードストラップ180は、複数の絶縁スペーサ540によって互いに分

離された複数の銅のバー530からなっている。

【0100】電源ストラップ170を構成している各バー510は電氣的に電源フィードストラップ180の対応するバー530に図示のように接点550によって接続されている。バー530は延伸接点560を有しており、この接点560はバー510との接触を果たすのに用いられる。

【0101】電源ストラップ170のバー510と電源フィードストラップ180のバー530との間の電氣的な接続は、例えばバー510と接点560との接触位置550においてろう付けを行うなど、任意の既知の手段によって実現可能である。

【0102】なお、等価的に、延伸接点560に替え接点560に相当する接点をバー510の上に形成することもできる。バー510を主基板100に接合する方法について、次に以下に説明する。

【0103】図5の場合には、電源ストラップ170および電源フィードストラップ180は3つのバー510または530を有するが、バー510、530の数を必要に応じて変えることができることは、当業者にとって明らかであろう。

【0104】同様に、銅以外の導電性材料をバー510、530の材料として用いることも可能である。図5の例では、各銅のバー510、530はそれぞれがチップに供給される別々の電圧に関するものであり、そのうちの少なくとも1つのバー510、530はアース帰還経路（アースライン）として用いられ、場合によっては複数のアースラインを用いるようにするのが望ましく、他の実施例においては、少なくとも5つの独立した電圧と、複数のアース経路とを用いた。

【0105】図5に示すバー510、530は、既知のいろいろな技術を用いて作ることができる。その一つは、1枚の銅シートから複数のバー510、530をエッチングによって形成することであり、その実施例において用いられるバー510、530の底部幅は0.15mmであり、厚さは0.5mmである。

【0106】このようなバー510、530は0.15mmの厚さの銅シート上にまずパターンが形成されているマスク層を配置してからウェットエッチングを行うことによって得ることができる。エッチングマスクとして適当な絶縁特性を有しているものを用いれば、エッチングプロセスの後にマスクを残存したままにしておき、絶縁物520、あるいは540として用いるようにすることができる。

【0107】さもないければ、各バー510、530を電氣的に接続させる部分を除いて、ペアレーンなどの誘電体全面等方コートを行うようにしてもよい。銅のバー510、530を形成したら、バー510としての主基板100と、バー530とを、ろう付けあるいはその他の既知の技術で電氣的に接合させることになる。

【0108】ストラップ要素を形成する各銅のバー510あるいは530は、同一のストラップの他のバー510あるいは530に対してろう付けや物理的接着を行う必要がない。即ち、ストラップ170または180を形成するバー510、530は、それぞれを独立に動かせることができるようにしたままでよい。このように、ストラップ170または180は一体に形成する必要がない。

【0109】バー510と530を接合しないで、互いに独立に自由に動くことができるようにしておくことにより、熱サイクルにおいて構造全体に発生する歪みを緩和することができるという利点が得られる。

【0110】図3および図4に示したように、電源ストラップ170の数は電源フィードストラップ180の数よりも多いため、電源フィードストラップ180によって運ばれる電流は電源ストラップ170の電流より大きくなる。従って、図5に示されるように、電源フィードストラップ180を構成しているバー530の厚さは、電源ストラップ170に用いられるバー510の厚さよりも厚くすることが望ましい。

【0111】別の実施例による電源ストラップ170'および電源フィードストラップ180'を示す図6において、電源ストラップ170'および電源フィードストラップ180'は、従来のプリント回路基板技術を用いて形成される。

【0112】各電源フィードストラップ180'は複数のプリント回路基板層から構成され、これらの各層はマウントされた複数の銅箔ストリップ610を有しており、それらの銅箔ストリップ610は絶縁材料620によって分離されている。

【0113】絶縁材料620は、プリント回路基板材料によって構成させることができる。貫通柱630によって、積層されている多数の銅箔ストリップ610が相互接続され、各銅電導層の実効的な厚さがプリント回路基板の層の数によって決まるようになる。

【0114】さらに、電源フィードストラップ180'の底のプリント回路基板層を突き抜けて貫通柱630を下側に伸張させて、電源供給ストラップ170'の上部銅箔層と接続させるようにすることができる。

【0115】電源供給ストラップ170'は、電源フィードストラップ180'を形成したのと同様の方法で形成することが可能であり、絶縁材料650によって分離された銅箔ストリップ645で構成するようにできる。

【0116】図6では、電源供給ストラップ170'が1層のみからなっている場合について示したが、供給すべき電流の大きさに応じて多数の層を用いるようにすることも可能である。図6の実施例を構成するのに用いられるプリント回路基板技術では本質的に厚さに限界があるため、多数の層を使用することが必要である。

【0117】各プリント回路基板層は、少なくとも1C

チップ110に供給すべき電圧の数と同じ数の銅ストリップ610または645を有している必要があり、これに、アース面として働くストリップをさらに付加させることができる。図6に示した実施例では、このようなストリップ610または645が3つ用いられているが、さらに多くのストリップを用いるようにすることも可能である。

【0118】図5および図6のどちらの実施例においても、銅バー510あるいは銅箔ストリップ645の上面は、堅固な基板120の下側の接続点310に直接に接続することが可能である。堅固な基板120は一般には信号あるいは電源の供給経路のために用いることは意図されておらず、電源は電源ストラップ170から基板120および130を貫通して中間基板140および1Cチップ110に直接に供給され、その様子は、図2を見ると最もよくわかる。

【0119】主基板100の1つの側が他方の側へ直通貫通接続を形成するための技術は当業者にはよく知られていることなので、ここでさらに詳細に議論する必要はないであろう。そして、どの技術を用いるかは他にもいろいろな要因があるが、主基板を形成する材料の性質に依存する。

【0120】本発明者によって発明された1実施例においては、堅固な基板120上の基板を貫通する貫通路の位置に複数の半田バンプを形成する。次に、これらの半田バンプを銅バー510あるいはストリップ645の表面に既知の技術を用いて直接に結合する。あるいは、図6に示されているように、各上部電源ストラップストリップ645の上に曲げることが可能な複数のウェブ640をマウントして具備するようにしてもよい。

【0121】曲げることが可能なウェブ640は、半田付け、溶接、ろう付け、あるいはその他の既知の技術によって、銅箔ストリップに電氣的に接続することが可能であり、曲げることが可能なウェブ640は堅固な基板120の下側の貫通路に対して位置合わせされて配置される。

【0122】曲げることが可能なウェブ640をストリップ645に取り付けた後に、まず、これらのウェブ640を貫通路に対して位置合わせしてから構造全体を主基板100に対して取り付け。この場合においても、半田バンプ、ろう付けパッドなどのよく知られた技術を用いることができる。

【0123】図6に示されている曲げることが可能（柔軟）なウェブ640の作成とそのマウントについて、図12を参照に説明する。まず、所望の大きさの伸張された銅のバー1000あるいはその他の適当な導電性材料をロール成形、機械加工、化学的切削加工などの既知の技術を用いて作成する。

【0124】バー1000の下側の部分の前面1020および裏面1030が図示のように凹面となるように加

工し、さらに複数の溝1010を切り込む。これらの溝1010は、バー1000の全体にわたって切り込まないように形成し、複数の個々のウェブ要素の上端が連続した銅片に連結されているようにする。

【0125】溝1010の間隔は取り付けようとしているストリップ645の間隔と同じか大きくなるように設定し、個々のウェブ要素の中心間距離は取り付けようとしているストリップ645の中心間距離と同じに設定する。

【0126】次に、バー1000をストリップ645に先に説明したようにして取り付け、バー1000をプラスチックまたはワックスあるいはその他の適当な材料中に埋め込み、バー1000の上部の連続部分を研削またはその他の機械的加工処理によって去する。

【0127】次いで、プラスチック等の埋め込み用材料を除去し、曲げることが可能なウェブ640がストリップ645に個々に取り付けられた状態とする。図5に示した銅バー構造の接続のために、曲げることが可能なウェブ640を同様に用いることもできる。あるいは、バー510が図5の延伸接点560と類似の一体型コネクタを有するように構成することも可能である。どちらの構造においても、曲げることが可能なウェブ640あるいは延伸接点560を用いることの利点は、これによって構造の柔軟性を大きくすることができ、熱サイクルによって発生する材料の応力、および構造全体に用いられているいろいろな材料間の膨張係数の不一致によって発生する材料の応力を緩和することができることである。

【0128】3次元マルチチップモジュール10へのまたはからの信号供給経路は、図7に示したような1つ以上のエッジコネクタ700によって行われる。エッジコネクタ700は、その両側に複数の接続用ストリップ730を有している、あるいは、ストリップ730に替わる接続端子を用いる。

【0129】ストリップ730は図2あるいは図3に示されているような1つ以上の主基板100上の対応ストリップ320に整合するように構成される。必要なエッジコネクタ700の数はマルチチップモジュール10と外部デバイスとを接続させるのに必要となる全接続数と、エッジコネクタ700当たりのストリップ730の総合密度とに依存する。

【0130】なお、図7にはいくつかのストリップ730について図示してあるが、実際のストリップ730の数は、応用によって変わるが、エッジコネクタ700当たり数千個もの多くを設けることができる。

【0131】エッジコネクタ700は、一般には柔軟性を有するように構成され、本発明によるエッジコネクタ700は新規なものではあるが、作成は既知の技術を用いて行うことが可能である。

【0132】その1つの作成方法として、一般に、シリコンなどの長方形の半導体基板を用い、その上に銅とポ

リイミドの層を形成する工程を含む方法がある。銅の層は必要な信号ラインが得られるようにパターン形成される。

【0133】非常に高速なデバイスに対して使用する場合には、銅信号ラインは銅の帰還ラインの間に配置するようにし、実質的に同軸ケーブルと類似の制御されたインピーダンスが得られるようにする。

【0134】このような構造においては、少なくとも3つの銅の層と少なくとも2つのポリイミド層とを半導体基板上に形成することが必要である。単に、エッジコネクタ700の1端から他端へ直線状の経路を形成しさえすればよいので、信号ラインを作成することは、それほど面倒なことではない。

【0135】エッジコネクタ700の他端は、マルチチップモジュール中に組み込まれているチップ110のすぐ近くに配置させておく必要がない第2のデバイスと接続される。例えば、マルチチップモジュールのICチップ110がすべてCPUチップであり、第2のデバイスがメモリチップであるような場合である。

【0136】このような構造を作成した後に、一般に、半導体基板の長方形の中央部分720をエッチングなどで除去し、その後、比較的薄く、従って非常に柔軟、かつ、本発明のエッジコネクタ700として用いるのに十分な強度を有する銅/ポリイミド膜のみを残存させる。

【0137】エッジコネクタ700の端部710に対しては、半導体基板のエッチング除去を行わずに、これらの部分がずっと大きな堅固さを維持できるようにし、接続ストリップ730を主基板100上の対応する接続点320に対して適当に整合するのに必要な、あるいは、外部デバイスや回路の接続点と適当に整合させるのに必要な堅固さが得られるようにする。

【0138】本発明によるエッジコネクタの2つの実施例について詳細に示す図8、図9および図10において、図8は上記説明のプロセスでエッジコネクタ700を作成する途中段階を示したものである。図8～図10において、わかりやすくするため層の描き方は縮尺通りとはなっておらず、金属層とポリイミド層の厚さを他に比較して特に誇張して描いてある。

【0139】エッジコネクタ700は半導体基板800を具備しており、その上にポリイミド層810と銅の層820、830とが形成されている。ポリイミド層810は、銅層820および830とを分離するように、またこれらの層の上に重なるように配備されており、最上部および最下部のポリイミド層810は主として保護膜の役割をする。

【0140】銅層820、830は、上部および下部のアース平面層820と、これらの間に配備された信号ストリップ830とから構成される。アース平面層820と信号ストリップ830との間を分離するポリイミド層

10

20

30

40

50

810の厚さを制御することによって、同軸ケーブルを形成するときと非常に似たやり方で、所望のインピーダンスを得ることが可能である。

【0141】アース平面層820はエッジコネクタ700全体に延伸するシートとして形成することができるが、幅が狭い信号ストリップ830は図11に示されているように、ポリイミドなどの絶縁材料910によって互いに分離される。

【0142】柔軟性を有するエッジコネクタ700の中央部の拡大断面図である図11において、アース平面層820は、信号ライン830を取り囲んでおり、また信号ライン830とは絶縁されている。

【0143】さらに、信号ライン830は絶縁材料910によって互いに分離されており、多数の個別の信号経路がエッジコネクタ700の幅方向に設けられている。図8のエッジコネクタ700の完成品の1実施例について示した図9において、基板800の中央部をエッチングなどによって除去することにより、比較的厚く堅固な2つの端部710の間に柔軟な中央部を有する構造を得ており、ビアコネクタ840を形成し、これによってエッジコネクタ700の上面およびいろいろな金属層820および830との間の電気的な接続を達成する。

【0144】ビアコネクタ840は、各信号経路に対して別個に必要であることが明白であり、単なる例示として、すべてのビアコネクタ840を同一の断面上に示してある。ただし、実際には、異なる平面内に形成するのが好ましく、さらに、図9には示されていないストリップ730を、ビアコネクタ840の上部に形成することも可能であり、ビアコネクタ840は絶縁材料で取り囲み、貫通するいろいろな金属層と短絡しないようする。

【0145】図10の実施例では、信号ストリップ830の上部に配備された層を除去して信号ストリップ730の端部を露出させ、これによって、信号ストリップ830が3次元モジュール10の上部に位置する整合接続ストリップ320へ容易に接続できるようになされている。

【0146】かかるエッジコネクタ700は、さらに、図示しないビアを用いてアース平面層820を表面上の信号ストリップ730に接続することもできる。なお、他の方法を用いてストリップ730を形成することができることは、当業者にとって明らかであろう。

【0147】半導体基板を用いる場合について以上に説明したが、他の基板材料も好適に用いることが可能であることは当業者にとって明らかであろう。同様に、信号供給経路構造を形成するのに銅/ポリイミド材料を用いることも必須条件ではない。

【0148】以上、本発明をその好適な実施例について説明したが、ここに記載した細部構造と等価な、また、これに代わり得るものが数多く存在することは当業者にとって明らかであろう。従って、本発明は上記の詳細な

説明によって制限されるものではなく、特許請求範囲に記載された内容によって定義されるものである。

【0149】

【発明の効果】以上説明したように本発明によれば、ICチップの冷却を極めて効率化し、高集積化され高性能な3次元マルチチップモジュールを実現可能とし、具体的には、1平方センチメートル当たり100アンペア以上の電流密度と1平方センチ当たり125ワットの発生パワーを取り扱えるようなる。

10 【0150】さらに、マルチチップモジュールにおける信号ラインおよび電源ラインを改良し、チップの高集積化に伴う複雑なチップ間配線を簡素化し、一層の高集積化を可能にすると共に、チップへの電源経路の低インピーダンス化を実現した。

【0151】さらに、モジュールの構成要素ごとにテストおよび交換することを可能としたことによって、マルチチップモジュールの生産性および性能が向上した。

【図面の簡単な説明】

20 【図1】 本発明の1実施例による3次元マルチチップモジュールの側面図

【図2】 本発明のマルチチップモジュールの1つの主基板についての部分断面斜視図

【図3】 本発明によるマルチチップモジュールの平面図

【図4】 本発明によるマルチチップモジュールの下面図

【図5】 本発明に用いるための電源供給ストラップおよび電源フィードストラップの1実施例について示した部分斜視図

30 【図6】 本発明に用いるための電源供給ストラップおよび電源フィードストラップの他の実施例について示した部分等角図

【図7】 本発明によるマルチチップモジュールの接続に用いられるエッジコネクタの斜視図

【図8】 図7のエッジコネクタの1実施例において製造の途中の段階をさらに詳細に示した拡大側面図

【図9】 図7のエッジコネクタの1実施例において図8のエッジコネクタの完成した状態についての1実施例を示した側面図

40 【図10】 図7のエッジコネクタの1実施例において図8のエッジコネクタの完成した状態についての他の実施例を示した側面図

【図11】 図7のエッジコネクタの矢印線9-9における断面図

【図12】 図6に示したタイプの複数の柔軟なウェーブについて製造途中段階を示した斜視図

【符号の説明】

10は3次元マルチチップモジュール

100は主基板

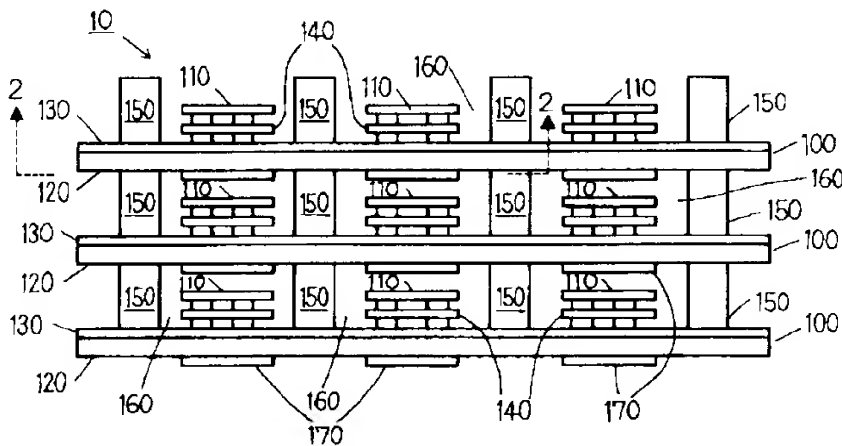
50 110はICチップ

120は支持基板
 130は配線基板
 140は中間基板
 150は連結バー
 160は冷却チャンネル
 170、170'は電源ストラップ
 180、180'は電源フィードストラップ
 210は接合点
 310は接続点
 320はストリップ
 510は銅のバー
 520は絶縁スペーサ
 530は銅のバー
 540は絶縁スペーサ
 550は接触位置
 560は接点

610は銅のストリップ
 620は絶縁材料
 630は貫通柱
 640はウェブ
 645は銅のストリップ
 650は絶縁材料
 700はエッジコネクタ
 710はエッジコネクタの端部
 720は半導体基板中央部
 730はストリップ
 800は半導体基板
 810はポリイミド層
 820、830は銅の層
 840はビアコネクタ
 910は絶縁材料
 1000は銅のバー

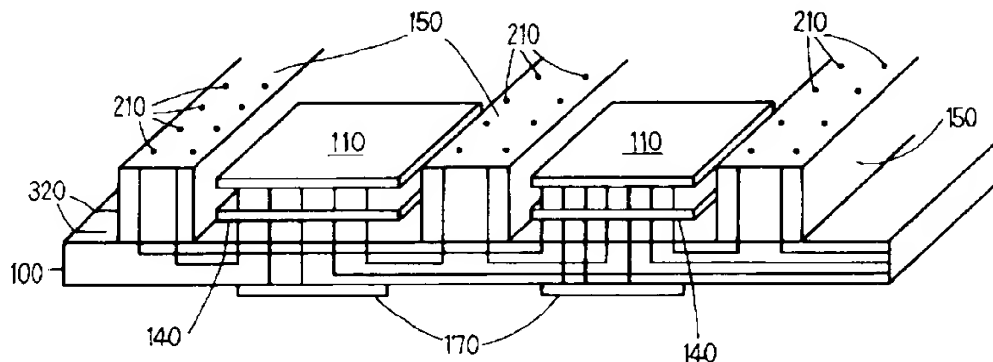
【図1】

本発明の1実施例による3次元マルチチップモジュールの側面図



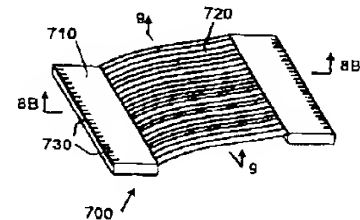
【図2】

本発明のマルチチップモジュールの1つの主基板についての部分断面斜視図



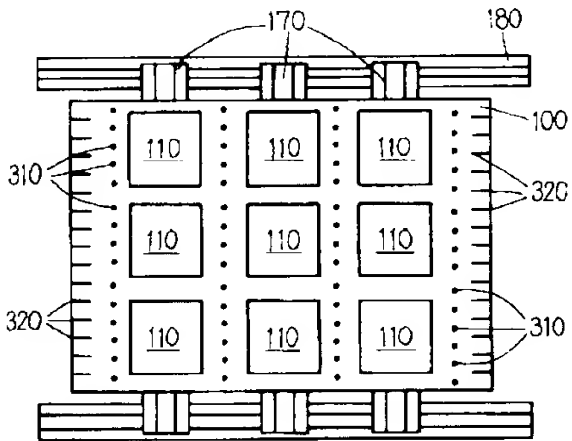
【図7】

本発明によるマルチチップモジュールの接続に用いられるエッジコネクタの斜視図



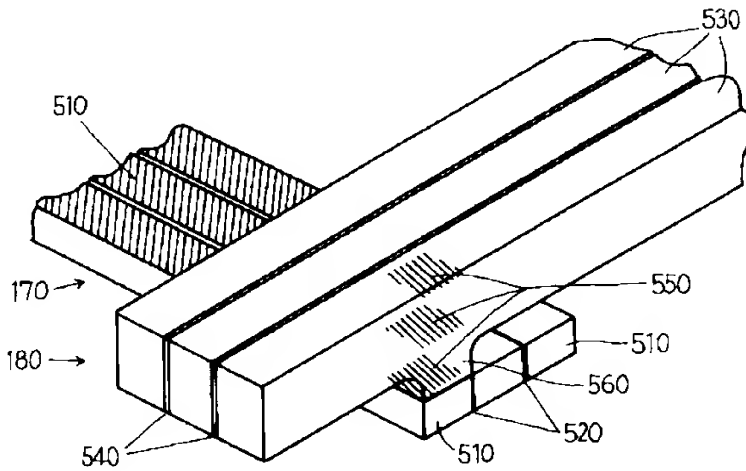
【図 3】

本発明によるマルチチップモジュールの平面図



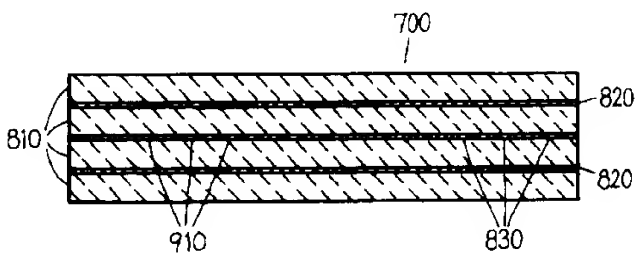
【図 5】

本発明に用いるための電源供給ストラップおよび電源フィードストラップの 1 実施例について示した部分斜視図



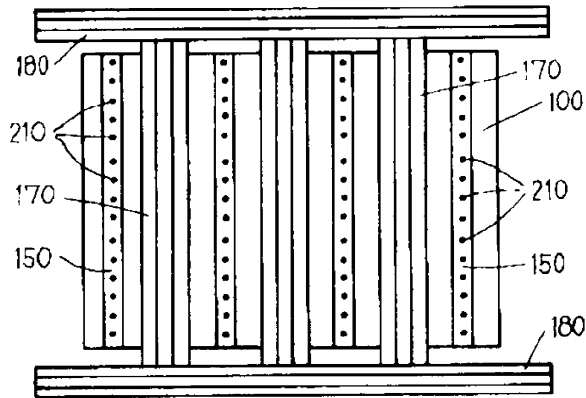
【図 11】

図 7 のエッジコネクタの矢印線 9-9 における断面図



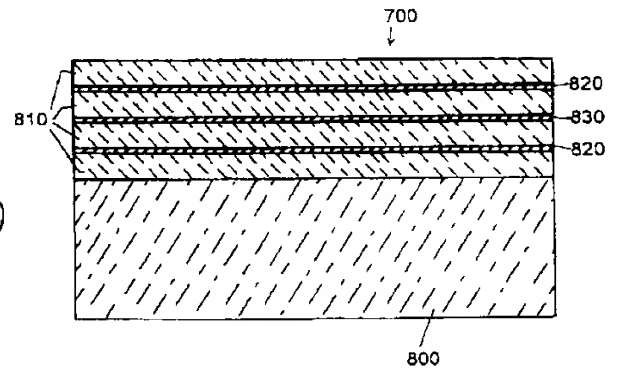
【図 4】

本発明によるマルチチップモジュールの下面図



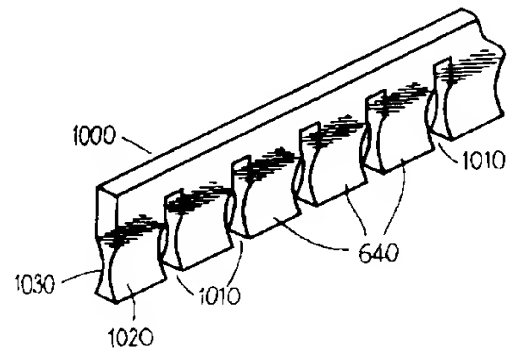
【図 8】

図 7 のエッジコネクタの 1 実施例において製造の途中の段階をさらに詳細に示した拡大側面図



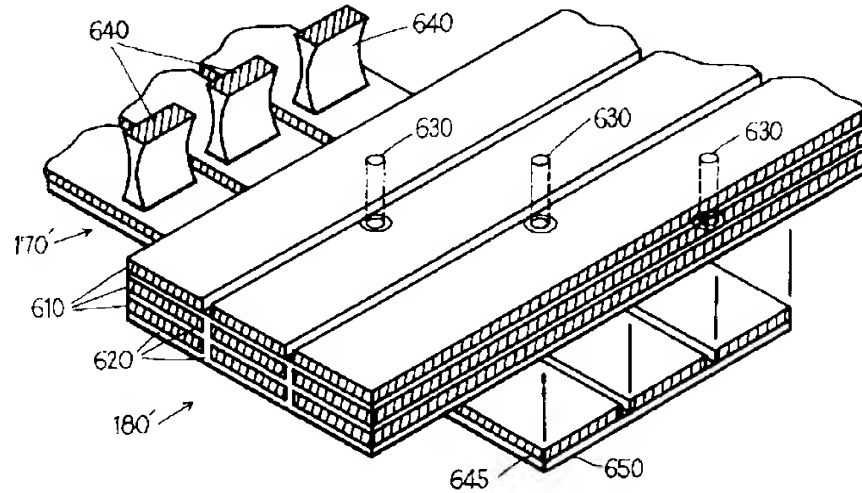
【図 12】

図 6 に示したタイプの複数の柔軟なウェッブについて製造途中段階を示した斜視図



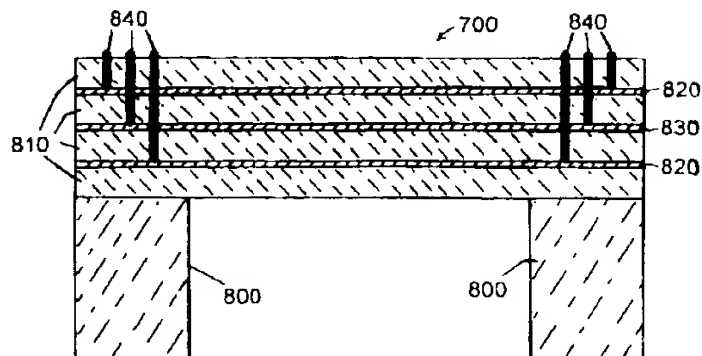
【図 6】

本発明に用いるための電源供給ストラップおよび電流フィード
ストラップの他の実施例について示した部分斜視図



【図 9】

図 7 のエッジコネクタの実施例において図 8 のエッジコネクタ
の完成した状態についての 1 実施例を示した側面図



【図10】

図7のエッジコネクタの実施例において図8のエッジコネク
タの完成した状態についての他の実施例を示した側面図

